

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10190442 A**

(43) Date of publication of application: 21.07.98

(51) Int. Cl. **H03K 19/0948**
H03K 19/0185

(21) Application number: 08346028

(71) Applicant: **SHARP CORP**

(22) Date of filing: 25.12.96

(72) Inventor: KIOI KAZUMASA

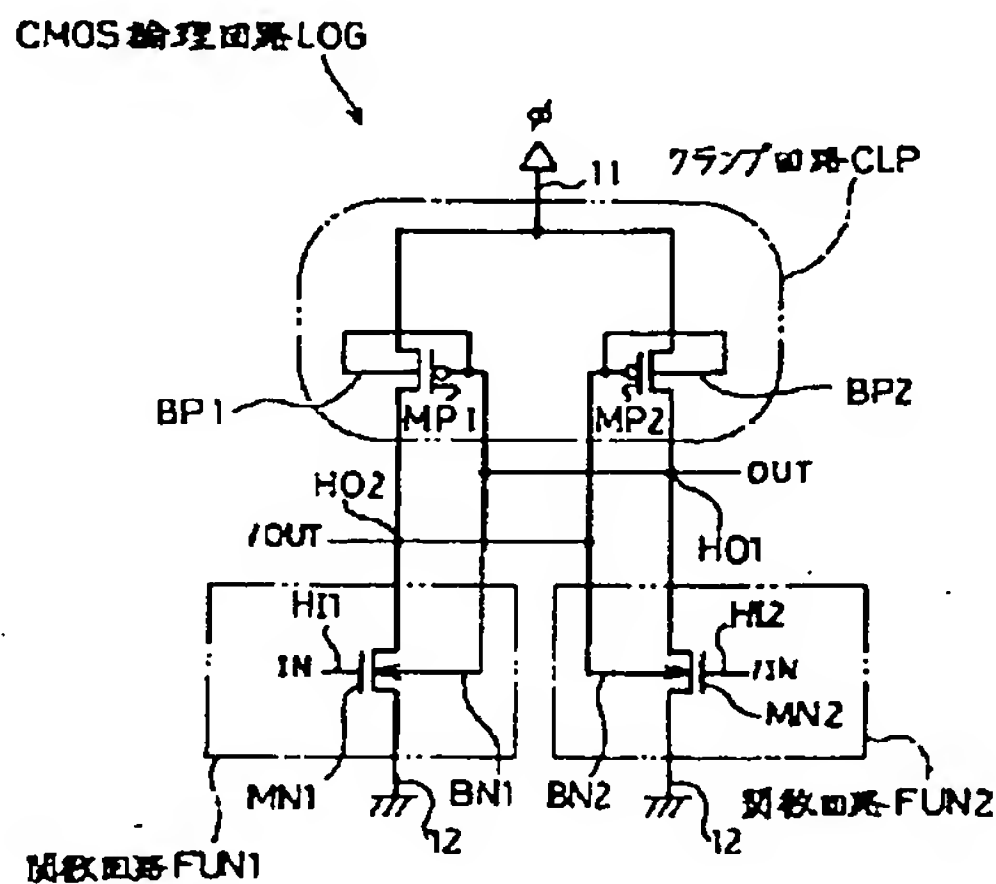
(54) CMOS LOGIC CIRCUIT

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent logic errors by the influence of an adjacent circuit by cross-connecting the substrate electrode of an NMOS transistor for forming a function circuit to the output node of the other function circuit in a 2N-2P circuit by an adiabatic charging method constituted of the clamp circuit of a PMOS transistor pair and the function circuit of an NMOS transistor pair.

SOLUTION: A power supply line 11 is connected to a pulse power supply Φ ; and this CMOS logic circuit LOG is operated by the adiabatic charging method. When input IN is at a high level, when the pulse power supply Φ becomes the high level, the NMOS transistor MN1 of the function circuit FUN1 is conducted and the output /OUT of the output node H02 becomes a low level. Accompanying it, the PMOS transistor MP2 of the clamp circuit CLP is conducted and the output OUT of the output node H01 becomes the high level. The NMOS transistor MN1 is normally ON since the substrate electrode BN1 is connected to the output node H01.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-190442

(43)公開日 平成10年(1998)7月21日

(51) Int Cl.⁸

識別記号

FI

H O 3 K 19/0948
19/0185

H O 3 K 19/094
19/00

B
101E

審査請求 未請求 請求項の数5 O.L (全 12 頁)

(21)出願番号 特願平8-346028

(22)出願日 平成8年(1996)12月25日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(72) 究明者 鬼追 一雅

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

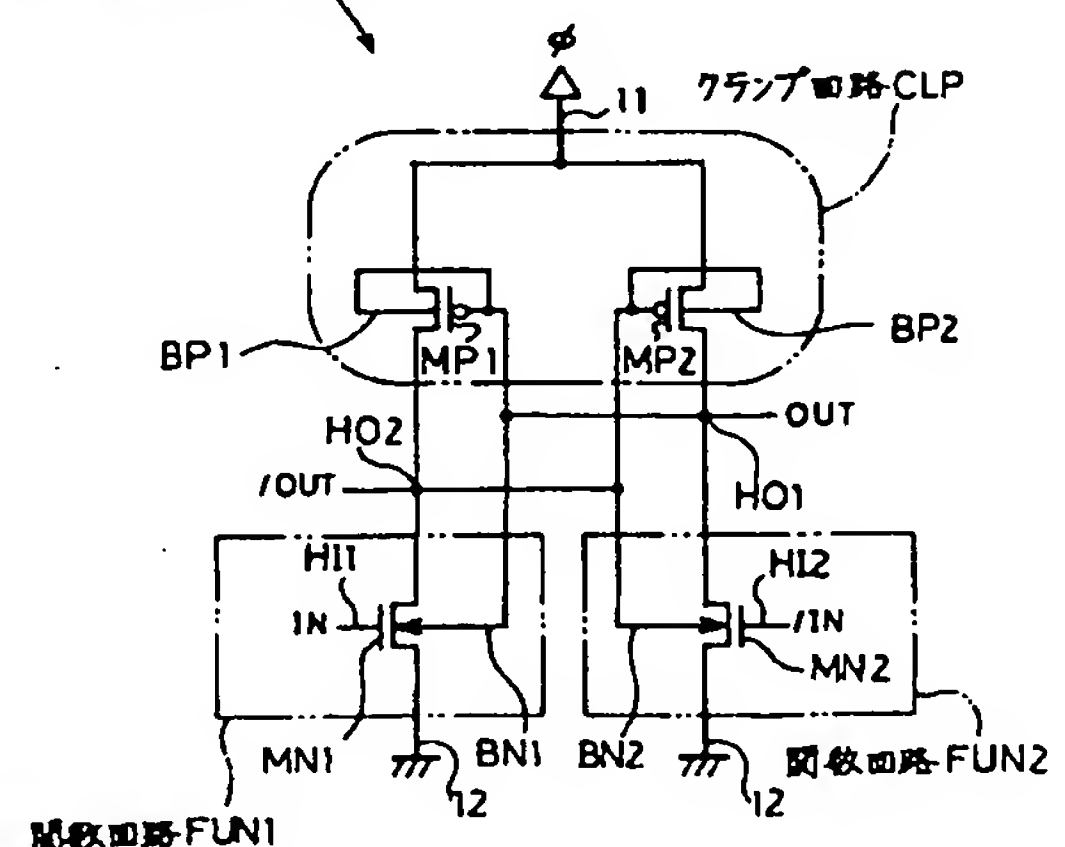
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 CMOS論理回路

(57) 【要約】

【課題】 一対のPMOSトランジスタMP1, MP2から成るクランプ回路CLPと、それぞれ少なくとも1つのNMOSトランジスタMN1, MN2を備える2つの関数回路FUN1, FUN2とを備え、パルス電源 ϕ によって駆動され、出力ノードHO1, HO2が断熱充電されるCMOS論理回路LOGにおいて、NMOSトランジスタMN1, MN2のローレベル出力時における動作を、回路規模の増大を招くことなく、安定させる。

【解決手段】 SOI構造等の各MOSトランジスタの基板電位を個別に制御できる構造とし、MN1, MN2の基板電極BN1, BN2を出力ノードHO1, HO2にクロス接続し、ローレベル出力時に順方向バイアスを印加する。これによって、両入力ノードHI1, HI2がローレベルとなる「HOLD」動作時においても、ローレベルを出力する側のNMOSトランジスタはノーマリ・オンとなる。



【特許請求の範囲】

【請求項1】 一対のPMOSトランジスタを備え、各PMOSトランジスタのゲート電極は対を成す他方のPMOSトランジスタのドレイン電極にクロス接続され、ソース電極は共にパルス電源に接続されるクランプ回路と、少なくとも1つのNMOSトランジスタを備え、該NMOSトランジスタのゲート電極をそれぞれ入力ノードとし、一端が共通に定電圧源に接続され、他端は対応する前記PMOSトランジスタのドレイン電極にそれぞれ接続されて出力ノードとなる2つの関数回路とを含むCMOS論理回路において、

前記2つの関数回路をそれぞれ構成しているNMOSトランジスタの基板電極は、他方の関数回路の出力ノードにクロス接続されることを特徴とするCMOS論理回路。

【請求項2】 前記クランプ回路の各PMOSトランジスタの基板電極は、それぞれのゲート電極と接続されることを特徴とする請求項1記載のCMOS論理回路。

【請求項3】 前記クランプ回路の各PMOSトランジスタの基板電極は、前記パルス電源と接続されることを特徴とする請求項1記載のCMOS論理回路。

【請求項4】 基板がSOI構造であることを特徴とする請求項1～3のいずれかに記載のCMOS論理回路。

【請求項5】 基板上で各MOSトランジスタが、2重拡散領域と絶縁物とによって相互に電気的に分離されていることを特徴とする請求項1～3のいずれかに記載のCMOS論理回路。

【発明の詳細な説明】

【0001】

$$E = \int_0^T RI^2 dt = \int_0^T R \left[C \frac{dV}{dt} \right]^2 dt \quad \dots (1)$$

【0006】で与えられる。ただし、Tはこの過程に要する時間であり、V(t)は容量の電圧特性である。

【0007】ここで、電圧の勾配が線形であり、かつR、Tが定数で、 $T \gg RC$ であるとする、前記式1は※

$$E = \frac{1}{2} \cdot CV^2 \cdot \frac{2RC}{T} \quad \dots (2)$$

【0009】なお、前記電圧の勾配が正弦波である場合には、上記式2に係数 $\pi^2/8$ が掛る。

【0010】上記式2は、Tを無限大に大きくすると、ノードの容量を充電するのに必要な電力を零にできることを示している。このように準静的に充電する方法が前記断熱充電法であり、該断熱充電法での消費電力に関する点は、CMOSの標準的な充電方法では、時間に対して無関係、すなわちRC定数に無関係に、前述のように $(1/2) \times CV^2$ の電力を消費する点とは大きく異なっている。

【0011】たとえば図7で示すようなCMOSインバータの場合、入力ノードKIへの入力INを図8(a)

* 【発明の属する技術分野】 本発明は、CMOS集積回路内に形成される論理回路に関し、特に低消費電力な断熱充電法を利用するCMOS構成の論理回路に関する。

【0002】

【従来の技術】 断熱充電論理回路は、Seitz,C.L.,Frey,A.H.,Mattisson,S.,Rabin,S.D.,Speck,D.A.,and van de Snepscheut,J.L.A.: "Hot-Clock nMOS," Proceedings of the 1985 Chapel Hill Conference on VLSI, pp.1-17 (Computer Science Press, 1985)によって提案されたMOS集積論理回路の低消費電力化の手法である。以下に、この断熱充電法について説明する。

【0003】 標準的なCMOS回路では、或るノードの電圧を充電するにあたって、電源に接続されたスイッチであるMOSFETを閉じると、ノードの容量Cが完全に充電されるまで、スイッチの抵抗によって、該スイッチによる電位差をVとすると、 $(1/2) \times CV^2$ の電力が消費される。しかしながら、ノードの電位が電源電位と等しければ、電源とノードとが接続されても、前記スイッチには電流が流れず、電力消費もなくなる。

【0004】 したがって、電源電圧を、スイッチ抵抗Rとノードの容量Cとの時定数RCに比べて比較的ゆっくりと上昇させると、スイッチによる電位差を小さくして、ノードの電位を電源電圧と同様に上昇させて近い値に保つことができる。このようにして、ノードの電位を電源に対して均衡させ、容量を断熱的に充電することができる。このとき、スイッチの抵抗で生じる消費電力は、

【0005】

【数1】

※下式で近似される。

【0008】

【数2】

で示すように変化するとき、出力ノードKOからの出力OUTは、図8(b)で示すように変化する。すなわち、入力INが時刻t11においてローレベルに立下がると、PMOSトランジスタQPが導通し、NMOSトランジスタQNが遮断し、出力ノードKOは、PMOSトランジスタQPを介して、電源ライン1から参照符I1で示す充電電流によって充電され、前記電源ライン1が接続される電源電位Vddまで充電される。

【0012】 これに対して、前記入力INが時刻t12においてハイレベルに立上ると、PMOSトランジスタQPは遮断し、NMOSトランジスタQNは導通し、出力ノードKOの電荷は、NMOSトランジスタQNを

介する電源ライン2への放電電流 I_2 によって放電される。

【0013】したがって、このような通常の充電方法では、図9において、参照符 $\alpha 1$ で示す一定の電源電位 V_{dd} と、参照符 $\alpha 2$ で示す出力ノードKOの電位との間の電位差 V_1 がスイッチングによる損失の原因となる。これに対して、前述の断熱充電法では、電源電位は参照符 $\alpha 3$ で示すように変化し、これに追従して出力ノードKOの電位も参照符 $\alpha 4$ で示すように変化し、損失は参照符 V_2 で示す電位差に対応した僅かな値となる。

【0014】近年、このような断熱充電法を利用したMOSトランジスタ回路が盛んに考案されている。たとえば、Moon, Y., and Jeong, D.-K., "Efficient Charge Recovery Logic," 1995 Symposium on VLSI Circuits Digest of Technical Papers, pp.129-130, May 1995. ならびにKramer, A., Denker, J.S., Flower, B., and Moroney, J., "2nd Order Adiabatic Computation with 2N-2P and 2N-2N2 P Logic Circuits," Proc. Int. Symp. Low Power Design, p.191-196, Dana Point, April 1995. では、図10で示すような典型的な従来技術のCMOS論理回路F0が示されている。

【0015】このCMOS論理回路F0は、ECRL (Efficient Chargy Recovery Logic) 回路、または2N-2P回路と称されるインバータ/バッファである。このCMOS論理回路F0は、大略的に、電源ライン1, 2間に、PMOSTランジスタQP1とNMOSTランジスタQN1とから成る直列回路と、PMOSTランジスタQP2とNMOSTランジスタQN2とから成る直列回路とが並列に介在されて構成されている。

【0016】NMOSTランジスタQN1, QN2のゲート電極は、第1および第2の入力ノードKI1, KI2とそれぞれ接続され、NMOSTランジスタQN1側には入力 IN^+ が与えられ、NMOSTランジスタQN2側には前記入力 IN^+ から位相のずれた入力 IN^- が与えられる。PMOSTランジスタQP2のドレイン電極とNMOSTランジスタQN2のドレイン電極との接続点は、第1の出力ノードKO1となり、出力 OUT^+ を出力するとともに、この出力 OUT^+ は、クロス接続されるPMOSTランジスタQP1のゲート電極に与えられる。同様に、PMOSTランジスタQP1のドレイン電極とNMOSTランジスタQN1のドレイン電極との接続点は、第2の出力ノードKO2となり、出力 OUT^- を出力し、該出力 OUT^- はまた、クロス接続されるPMOSTランジスタQP2のゲート電極に与えられる。電源ライン1は、出力電圧レベルが接地レベルと所定のハイレベル V_{dd} との間で変化するパルス電源 ϕ に接続され、電源ライン2は、接地レベルの定電圧源に接続されている。

【0017】図11は、上述のように構成されたCMOS論理回路F0の動作を示す波形図である。このCMO

S論理回路F0では、「RESET」「WAIT」「EVALUATE」「HOLD」の4つの動作によって、1周期の動作が構成されている。図10における、入力 IN^+ 、入力 IN^- 、パルス電源 ϕ 、出力 OUT^+ および出力 OUT^- の各波形は、それぞれ図11(a)、図11(b)、図11(c)、図11(d)および図11(e)に対応している。

【0018】まず、「RESET」動作では、パルス電源 ϕ の出力電圧レベルがハイレベルからローレベルに引下げられて、出力ノードKO1, KO2のデータが消去される。次に、「WAIT」動作では、前記パルス電源 ϕ の出力電圧レベルがローレベルのままで、いずれか一方の入力ノード、この図10の例では、入力ノードKI1への入力 IN^+ がハイレベルに上げられる。

【0019】こうして、入力状態が確定すると、「EVALUATE」動作が行われ、パルス電源 ϕ がハイレベルに上げられる。このとき、前述のように入力 IN^+ がハイレベルであり、入力 IN^- はローレベルであるので、NMOSTランジスタQN1が導通し、NMOSTランジスタQN2が遮断しており、PMOSTランジスタQP2が導通し、出力 OUT^+ が前記パルス電源 ϕ の出力電圧レベルの上昇に伴って上昇してゆく。またこのとき、MOSトランジスタQN2, QP1は遮断したままであり、出力 OUT^- はローレベルのままとなる。

【0020】このようにして、出力ノードKO1, KO2の電位が確定すると、「HOLD」動作が行われ、入力ノードKI1, KI2がともにローレベルに引下げられて、入力データの消去が行われる。PMOSTランジスタQP1, QP2のゲート電極は、前述のように出力ノードKO1, KO2とクロス接続されており、したがって入力 IN^+ , IN^- を消去すると、NMOSTランジスタQN1, QN2はともに遮断するけれども、出力ノードKO1のハイレベルは保持され、出力ノードKO2のローレベルは、接地電源と遮断されてダイナミックに保持される。

【0021】次の周期では、同様に「RESET」動作の後、「WAIT」動作では、入力 IN^- が上げられ、入力 IN^+ はローレベルのままとされる。これによって、「HOLD」動作では、出力 OUT^- がハイレベルに保持され、 OUT^+ はローレベルとなる。このようにして、インバータ/バッファ動作が実現される。

【0022】上述のように構成されたCMOS論理回路F0は、関数回路であるNMOSTランジスタQN1, QN2を、複数の素子の直列および/または並列構成とすることによって、所望とする任意の組合わせ論理を出力することができる単位論理回路に構成することができる。また、図12で示すように、前記図10で示すインバータ/バッファを単位論理回路として、複数段カスケード接続した順序回路が、レジスタなどとして使用されている。

【0023】この図12で示す例では、インバータ／バッファF1, F2, F3, F4は、それぞれ相互に位相が1/4周期だけずれたパルス電源 $\phi 1$, $\phi 2$, $\phi 3$, $\phi 4$ によって駆動される。パルス電源 $\phi 3$, $\phi 4$ は、パルス電源 $\phi 1$, $\phi 2$ とそれぞれ逆位相でよく、 $\phi 3 = \neg \phi 1$, $\phi 4 = \neg \phi 2$ となっている。第1段目のインバータ／バッファF1には、前記入力 IN^+ , IN^- が与えられ、後続の各インバータ／バッファF2, F3, F4へは、前段のインバータ／バッファF1, F2, F3からの出力がそれぞれ与えられる。最終段のインバータ／バッファF4からは、前記出力 OUT^+ , OUT^- が出力される。

【0024】図13に、各パルス電源 $\phi 1$, $\phi 2$, $\phi 3$, $\phi 4$ の動作波形図を示す。また、前記図13における各時刻 t_0 , t_1 , t_2 , ...でのインバータ／バッファF1～F4の動作を図14で示す。この図14において、「#1」は、第1周期目のデータを表し、「#2」は第2周期目のデータを表す。このように、データ「#1」「#2」...は、パルス電源 $\phi 1 \sim \phi 4$ に同期して、1/4周期毎に、順次、後段側にシフトされてゆく。

【0025】

【発明が解決しようとする課題】上述のような従来技術のCMOS論理回路F0では、NMOSトランジスタQN1, QN2のいずれかが導通して、出力ノードKO2またはKO1がローレベルに保持される。したがって、前述のように「HOLD」動作時に入力ノードKI1, KI2がともにローレベルとなって、該NMOSトランジスタQN1, QN2が遮断すると、出力ノードKO2またはKO1のうち、ローレベルを出力すべき側のノードは、ダイナミックに保持されているだけであり、隣接回路等の影響を受け易いという問題がある。

【0026】したがって、前記図12で示すシフトレジスタなどのように、カスケード接続されている各論理回路が、隣接回路の論理の切換わりの影響を受けて不安定になり、論理エラーが発生してしまうという問題がある。このため、回路設計にあたって、別の位相、すなわち異なるパルス電源で駆動される回路同士を隣接配置しないようにするなどの制約が生じるという問題がある。

【0027】また、前記CMOS論理回路F0では、図15で示すように、NMOSトランジスタQN1ではpウェル5との間に、PMOSトランジスタQP1ではnウェル6との間に、参照符D1, D2で示すようなpnダイオードがそれぞれ寄生する。

【0028】このため、出力ノードKO2がローレベルを出力している状態で、「RESET」動作が行われると、その初期状態では、パルス電源 ϕ はハイレベルであり、入力ノードKI1はローレベルであるので、PMOSトランジスタQP1のドレインーnウェル6間のpnダイオードD2は逆方向バイアスされて、これらの間の接合容量に電荷が蓄積される。これに対して、NMOS

トランジスタQN1のドレインーpウェル5間のpnダイオードD1は、両端子間が同電位となって、それらの間の接合容量には、電荷は蓄積されない。

【0029】したがって、「RESET」動作によって、パルス電源 ϕ がハイレベルからローレベルに引下げられると、pnダイオードD2の接合容量に蓄えられていた電荷がpnダイオードD1の接合容量に分配され、出力ノードKO2の電位は、定電圧源である接地レベルよりも低い負の値となってしまう、再充電のときに余分な電力消費を生じてしまうという問題もある。

【0030】このような問題を解決するための他の従来技術はまた、前記Kramerらの文献において、2N-2N2P回路として提案されている。図16は、そのような他の従来技術のCMOS論理回路F10の電気回路図である。このCMOS論理回路F10において、前述の図10で示すCMOS論理回路F0に類似し、対応する部分には同一の参照符号を付してその説明を省略する。このCMOS論理回路F10では、NMOSトランジスタQN1, QN2と並列に、それぞれNMOSトランジスタQN3, QN4が設けられており、NMOSトランジスタQN3のゲート電極は前記PMOSトランジスタQP1のゲート電極、すなわち出力ノードKO1と接続され、NMOSトランジスタQN4のゲート電極はPMOSトランジスタQP2のゲート電極、すなわち出力ノードKO2と接続されている。

【0031】したがって、「HOLD」動作によって、たとえば出力ノードKO1がハイレベルに保持されるとき、NMOSトランジスタQN3が導通して、入力 IN^+ がローレベルとなっても、出力ノードKO2をローレベルに安定して保持する。このようにして、入力 IN^+ , IN^- がともにローレベルとなっても、ローレベル側の出力が安定するように構成されている。

【0032】また、出力ノードKO2またはKO1からの出力 OUT^- または OUT^+ がローレベルである状態で、「RESET」動作が行われるときには、それぞれNMOSトランジスタQN3またはQN4が導通しているので、前述の図15で示すような電荷の蓄積が生じることなく、不所望な電力消費を抑制することもできる。

【0033】しかしながら、このような構成のCMOS論理回路F10では、前述のような隣接回路からの影響がなくなって設計の自由度を向上することができるけれども、単位論理回路当り、2つのNMOSトランジスタQN3, QN4が増加してしまい、該CMOS論理回路F10の場合には、回路規模が6/4倍に増大してしまうという問題がある。

【0034】本発明の目的は、回路規模の増大を招くことなく、安定した動作を実現することができるCMOS論理回路を提供することである。

【0035】

【課題を解決するための手段】請求項1の発明に係るC

10

20

30

40

50

MOS論理回路は、一对のPMOSトランジスタを備え、各PMOSトランジスタのゲート電極は対を成す他方のPMOSトランジスタのドレイン電極にクロス接続され、ソース電極は共にパルス電源に接続されるクランプ回路と、少なくとも1つのNMOSトランジスタを備え、該NMOSトランジスタのゲート電極をそれぞれ入力ノードとし、一端が共通に定電圧源に接続され、他端は対応する前記PMOSトランジスタのドレイン電極にそれぞれ接続されて出力ノードとなる2つの関数回路とを含むCMOS論理回路において、前記2つの関数回路をそれぞれ構成しているNMOSトランジスタの基板電極は、他方の関数回路の出力ノードにクロス接続されることを特徴とする。

【0036】上記の構成によれば、前記2つの関数回路が、たとえば1つのNMOSトランジスタでそれぞれ構成されるとき、該CMOS論理回路は前記2N-2P回路と称される基本回路となり、断熱充電法が使用されて低消費電力動作が可能となる。このようなCMOS論理回路において、NMOSトランジスタの基板電極を、他方の関数回路の出力ノードにクロス接続する。

【0037】したがって、前記パルス電源をハイレベルとしたまま、入力をともにローレベルとする「HOLD」動作時に、ローレベルを出力すべきNMOSトランジスタの基板にはハイレベルが与えられ、該NMOSトランジスタは順方向バイアスされてノーマリ・オン特性となっており、導通状態を保持する。これによって、NMOSトランジスタの増加を招くことなく、すなわち回路規模の増大を招くことなく、隣接回路の影響による論理エラーを防止することができる。

【0038】また請求項2の発明に係るCMOS論理回路では、前記クランプ回路の各PMOSトランジスタの基板電極は、それぞれのゲート電極と接続されることを特徴とする。

【0039】上記の構成によれば、PMOSトランジスタの閾値電圧を低くすることができ、低電圧動作が可能となる。

【0040】さらにまた請求項3の発明に係るCMOS論理回路では、前記クランプ回路の各PMOSトランジスタの基板電極は、前記パルス電源と接続されることを特徴とする。

【0041】上記の構成によれば、PMOSトランジスタの閾値電圧は高くなるけれども、パルス電源から定電圧源への直流電流が流れにくくなり、電力消費をさらに低減することができる。

【0042】また請求項4の発明に係るCMOS論理回路は、基板がSOI構造であることを特徴とする。

【0043】上記の構成によれば、各MOSトランジスタを絶縁分離することができるSOI (Silicon On Insulator) 構造とすることによって、前記請求項1で示すようなNMOSトランジスタの基板電極への順方向バイ

アスの印加が可能となる。

【0044】さらにまた請求項5の発明に係るCMOS論理回路は、基板上で各MOSトランジスタが、2重拡散領域と絶縁物とによって相互に電氣的に分離されていることを特徴とする。

【0045】上記の構成によっても、各MOSトランジスタが絶縁分離されているので、前記請求項1で示すようなNMOSトランジスタの基板電極への順方向バイアスの印加が可能となる。

【0046】

【発明の実施の形態】本発明の実施の第1の形態について、図1～図4および前記図11に基づいて説明すれば以下のとおりである。

【0047】図1は、本発明の実施の第1の形態のCMOS論理回路LOGの電気回路図である。このCMOS論理回路LOGは、単位論理回路であり、前記図12で示すようなカスケード接続などによって、多数組合わせられて、入出力間で所望とする論理が得られるように、集積回路基板上に形成される。このCMOS論理回路LOGは、大略的に、クランプ回路CLPと、2つの関数回路FUN1, FUN2とを備えて構成されている。

【0048】前記クランプ回路CLPは、一对のPMOSトランジスタMP1, MP2を備えて構成されている。また、この図1で示すCMOS論理回路LOGは、論理回路の一例としてインバータ／バッファを示すものであり、したがって関数回路FUN1, FUN2は、それぞれ1個のNMOSトランジスタMN1, MN2を備える基本的な回路構成で実現されている。

【0049】前記PMOSトランジスタMP1, MP2のソース電極は、共通に電源ライン11に接続されており、この電源ライン11は、前記断熱充電法を実現するためのパルス電源φに接続されている。一方、NMOSトランジスタMN1, MN2のゲート電極は、それぞれ入力ノードHI1, HI2に接続され、入力IN, /INが入力される。また、NMOSトランジスタMN1, MN2のソース電極には、電源ライン12を介して、定電圧源となる接地レベルが共通に印加される。

【0050】PMOSトランジスタMP1のドレイン電極とNMOSトランジスタMN1のドレイン電極とは、相互に接続されて出力ノードHO2となり、該出力ノードHO2からは出力OUTが出力され、また該出力ノードHO2は前記PMOSトランジスタMP2のゲート電極にクロス接続されている。同様に、PMOSトランジスタMP2のドレイン電極とNMOSトランジスタMN2のドレイン電極とは、相互に接続されて出力ノードHO1となり、出力OUTを導出するとともに、該出力ノードHO1は前記PMOSトランジスタMP1のゲート電極にクロス接続されている。PMOSトランジスタMP1, MP2のゲート電極はまた、それぞれの基板電極BP1, BP2と接続されている。

【0051】したがって、入力INがハイレベルである状態で、パルス電源 ϕ がハイレベルとなると、NMOSトランジスタMN1が導通し、出力OUTがローレベルとなる。これによって、PMOSトランジスタMP2が導通して、出力OUTがハイレベルとなる。これに対して、入力INがハイレベルである状態で、前記パルス電源 ϕ がハイレベルとなると、NMOSトランジスタMN2が導通し、出力OUTがローレベルとなる。これによって、PMOSトランジスタMP1が導通し、出力OUTがハイレベルとなる。

【0052】注目すべきは、本発明では、NMOSトランジスタMN1の基板電極BN1は、PMOSトランジスタMP1のゲート電極、すなわち前記出力ノードHO1と接続され、出力OUTがハイレベルとなるときに、順方向バイアスが印加されることである。また同様に、NMOSトランジスタMN2の基板電極BN2は、PMOSトランジスタMP2のゲート電極、すなわち出力ノードHO2と接続され、出力OUTがハイレベルであるときには、順方向バイアスが印加される。

【0053】前記NMOSトランジスタMN1、MN2は、前記基板電極BN1、BN2がローレベル（接地レベル）のときには、図2において、参照符 β 1で示すように、ノーマリ・オフ型のトランジスタ特性を示し、かつハイレベル、すなわち前記パルス電源 ϕ のピーク電圧Vddのときには、参照符 β 2で示すように、ノーマリ・オン型のトランジスタ特性を示すように、閾値電圧が調整されている。

【0054】このように構成されたCMOS論理回路LOGの動作は、前述の図11で示すようになる。図1における、入力IN、入力／IN、パルス電源 ϕ 、出力OUTおよび出力／OUTの各波形は、それぞれ図11(a)、図11(b)、図11(c)、図11(d)および図11(e)に対応している。

【0055】まず、「RESET」動作によって、パルス電源 ϕ がローレベルに引下げられ、これによってハイレベル側の出力（図11の例では出力OUTである図11(d)）もローレベルに引下げられ、出力データが消去される。「WAIT」動作時には、パルス電源 ϕ はローレベルのままで、入力IN、／INのいずれか一方（図11の例では入力INである図11(a)）が引上げられ、入力がハイレベルに確定すると、「EVALUATE」動作によって、ハイレベル側の入力が保持されたままで、パルス電源 ϕ の電圧が引上げられる。これに伴って、ハイレベル側となる出力（図11の例では出力OUTである図11(d)）がハイレベルに引上げられ、出力が確定すると、「HOLD」動作によって、入力IN、／INがともにローレベルとされて、入力が消去されても、ハイレベル側の出力を保持し主となる。

【0056】上述のような動作時において、本発明では、「HOLD」動作時に、NMOSトランジスタMN

1またはMN2のうち、ローレベルを出力すべき側、たとえばMN1の基板電極BN1には、出力OUTのハイレベルが与えられることになり、前記図2から、該NMOSトランジスタMN1の特性がノーマリ・オン型となって、出力OUTをローレベルに安定して固定する。

【0057】したがって、単位論理回路である該CMOS論理回路LOGが多数設けられるなどしても、隣接する論理回路からの影響を受けることなく、安定した動作を行うことができるようになり、回路設計の自由度を向上することができる。また、このようにローレベル側の出力を接地電位に固定するにあたって、前述の図16で示すCMOS論理回路F10ではNMOSトランジスタQN3、QN4が必要であったのに対して、本発明では前記2N-2P回路のままであり、トランジスタ数、すなわち回路規模の増大を招くこともない。

【0058】さらにまた、PMOSトランジスタMP1、MP2の基板電極BP1、BP2は、それぞれのゲート電極と接続されているので、閾値電圧を低く抑えることができ、動作電圧を低くすることができる。

【0059】なお、本発明は、各MOSトランジスタMP1、MP2；MN1、MN2の基板電位を個別に制御する必要があるので、たとえば図3や図4で示す構造で実現することができる。

【0060】図3は、本発明に従うCMOS論理回路LOGを実現するための一構造例を説明するための断面図である。この構造は、SOI構造と称される構造であり、図3ではMOSトランジスタMN1、MP1付近を示している。代表的なSOI構造基板であるSIMOX基板では、シリコン基板21の表面に酸素が注入され、さらに熱処理されて絶縁層22が形成され、この絶縁層22内にエッチングによって形成した空間に、低濃度のSOIボディ(p)23およびSOIボディ(n)24が形成される。

【0061】SOIボディ(p)23には、高濃度の注入(n^+)によって、ソース領域SN1およびドレイン領域DN1が形成されるとともに、基板電極BN1が引出される。ソース領域SN1とドレイン領域DN1との間のチャネル領域上には、図示しない誘電体層を介して、ゲート電極GN1が形成され、こうしてNMOSトランジスタMN1が形成される。

【0062】同様に、SOIボディ(n)24に、高濃度の注入(p^+)によって、ソース領域SP1およびドレイン領域DP1が形成されるとともに、基板電極BP1が引出される。前記ソース領域SP1とドレイン領域DP1との間のチャネル領域上には、誘電体層を介してゲート電極GP1が形成され、こうしてPMOSトランジスタMP1が形成される。前記NMOSトランジスタMN2およびPMOSトランジスタMP2は、これらNMOSトランジスタMN1およびPMOSトランジスタMP1とそれぞれ同様の構造で実現することができる。

【0063】また、図4の構造は、本件出願人が先に特願平8-170072で提案した構造であり、シリコン基板31の表面において、まずNMOSトランジスタMN1領域にはディープnウェル32が形成され、これに対して、PMOSトランジスタMP1領域にはディープpウェル33が形成される。これらのウェル32、33上には、それぞれシャローpウェル34およびシャローnウェル35が形成され、該シャローpウェル34およびシャローnウェル35がそれぞれNMOSトランジスタMN1およびPMOSトランジスタMP1の基板となる。

【0064】シャローpウェル34上には、前記ソース領域SN1、ドレイン領域DN1および基板電極BN1ならびにゲート電極GN1等が形成され、シャローnウェル35上には、ソース領域SP1、ドレイン領域DP1および基板電極BP1ならびにゲート電極GP1等が形成される。各MOSトランジスタMN1、MP1は、それらの外周部分に形成されたトレンチ36によって絶縁分離を実現する、いわゆるトレンチ分離によって、相互間の良好な絶縁が保たれている。前記ディープnウェル32およびディープpウェル33には、それぞれシャローpウェル34およびシャローnウェル35の電位が変化しても、常に逆バイアス状態が維持されるように、図示しない電極から、それぞれハイレベルおよびローレベルに対応する電位が与えられている。

【0065】なお、本発明では、NMOSトランジスタMN1、MN2の基板電極BN1、BN2に順方向バイアスを印加するので、ハイレベルとローレベルとの電位差、すなわち前記V_{dd}は、0.6V程度以下とする必要がある。

【0066】本発明の実施の第2の形態について、図5に基づいて説明すれば以下のとおりである。

【0067】図5は、本発明の実施の第2の形態のCMOS論理回路LOGaの電気回路図である。このCMOS論理回路LOGaは、前述のCMOS論理回路LOGに類似し、対応する部分には同一の参照符号を付してその説明を省略する。このCMOS論理回路LOGaでは、クランプ回路CLPaを構成するPMOSトランジスタMP1a、MP2aの基板電極BP1、BP2は、それぞれのソース電極と接続されている。

【0068】したがって、閾値電圧を高く設定する必要が生じるけれども、これによってゲートと基板との間の接続がなくなり、ソースのpn接合を介した直流電流が流れなくなり、パルス電源φから接地電位への直流電流を流れにくくすることができ、電力消費を低減することができる。

【0069】本発明の実施の第3の形態について、図6に基づいて説明すれば以下のとおりである。

【0070】図6は、本発明の実施の第3の形態のCMOS論理回路LOGbの電気回路図である。このCMO

S論理回路LOGbは、前述のCMOS論理回路LOGに類似し、対応する部分には同一の参照符号を付してその説明を省略する。このCMOS論理回路LOGbでは、関数回路FUN1b、FUN2bは、それぞれ2つのNMOSトランジスタMN11、MN12; MN21、MN22を備えて構成されており、関数回路FUN1b側ではこれらは相互に直列に接続され、関数回路FUN2b側では相互に並列に接続される。

【0071】NMOSトランジスタMN11、MN12のゲート電極は、それぞれ入力ノードHI11、HI12となり、入力A、Bが与えられる。また、これらのNMOSトランジスタMN11、MN12の基板電極BN11、BN12には、前記出力ノードHO1から順方向バイアスが与えられる。これに対して、NMOSトランジスタMN21、MN22のゲート電極はそれぞれ入力ノードHI21、HI22となり、入力/A、/Bが与えられる。また、NMOSトランジスタMN21、MN22の基板電極BN21、BN22には、前記出力ノードHO2から順方向バイアスが与えられる。

【0072】したがって、入力AまたはBの少なくともいずれか一方がローレベルであるときには、出力ノードHO1からの出力OUTはローレベルとなり、出力ノードHO2からの出力/OUTはハイレベルとなる。これに対して、入力A、Bがともにハイレベルであるときには、出力OUTはハイレベルとなり、出力/OUTはローレベルとなる。このようにして、NAND/NOR動作を実現することができ、関数回路の構成によって所望とする論理を実現することができる。

【0073】

30 【発明の効果】請求項1の発明に係るCMOS論理回路は、以上のように、クランプ回路と、少なくとも1つのNMOSトランジスタを備える2つの関数回路とを含み、パルス電源で駆動されて断熱充電法が使用される低消費電力動作が可能なECRL回路または2N-2P回路と称されるCMOS論理回路において、NMOSトランジスタの基板電極を、他方の関数回路の出力ノードにクロス接続する。

40 【0074】それゆえ、前記パルス電源をハイレベルとしたまま、入力をともにローレベルとする「HOLD」動作時に、ローレベルを出力すべきNMOSトランジスタの基板は順方向バイアスされてノーマリ・オンとなり、導通状態を保持する。これによって、NMOSトランジスタの増加を招くことなく、すなわち回路規模の増大を招くことなく、隣接回路の影響による論理エラーを防止することができる。

【0075】また請求項2の発明に係るCMOS論理回路は、以上のように、クランプ回路の各PMOSトランジスタの基板電極を、それぞれのゲート電極と接続する。

50 【0076】それゆえ、PMOSトランジスタの閾値電

圧を低くすることができ、低電圧動作が可能となる。

【0077】さらにまた請求項3の発明に係るCMOS論理回路は、以上のように、クランプ回路の各PMOSトランジスタの基板電極をパルス電源と接続する。

【0078】それゆえ、PMOSトランジスタの閾値電圧は高くなるけれども、パルス電源から定電圧源への直流電流が流れにくくなり、電力消費をさらに低減することができる。

【0079】また請求項4の発明に係るCMOS論理回路は、以上のように、基板をSOI構造とする。

【0080】それゆえ、各MOSトランジスタを絶縁分離することができ、前記請求項1で示すようなNMOSトランジスタの基板電極への順方向バイアスの印加が可能となる。

【0081】さらにまた請求項5の発明に係るCMOS論理回路は、以上のように、各MOSトランジスタを、2重拡散領域と絶縁物とによって相互に電氣的に分離する。

【0082】それゆえ、各MOSトランジスタを絶縁分離することができ、前記請求項1で示すようなNMOSトランジスタの基板電極への順方向バイアスの印加が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態のCMOS論理回路の電気回路図である。

【図2】NMOSトランジスタの動作特性を説明するためのグラフである。

【図3】図1で示すCMOS論理回路の具体的な一構造例を説明するための該CMOS論理回路の一部分の断面図である。

【図4】図1で示すCMOS論理回路の具体的な他の構造例を説明するための該CMOS論理回路の一部分の断面図である。

【図5】本発明の実施の第2の形態のCMOS論理回路の電気回路図である。

【図6】本発明の実施の第3の形態のCMOS論理回路の電気回路図である。

【図7】CMOSインバータの充放電動作を説明するための電気回路図である。

【図8】図7で示すCMOSインバータの動作を説明するための波形図である。

【図9】通常の充電方法と断熱充電法との違いを説明す

るためのグラフである。

【図10】前記断熱充電法を用いる典型的な従来技術のCMOS論理回路の電気回路図である。

【図11】図1ならびに図10および図12で示すCMOS論理回路の動作を説明するための波形図である。

【図12】図10で示すCMOS論理回路を用いて構成されるシフトレジスタの電気回路図である。

【図13】図12で示すシフトレジスタの動作を説明するためのパルス電源の波形図である。

10 【図14】図12で示すシフトレジスタの動作を説明するための各インバータ／バッファの動作状態を示す図である。

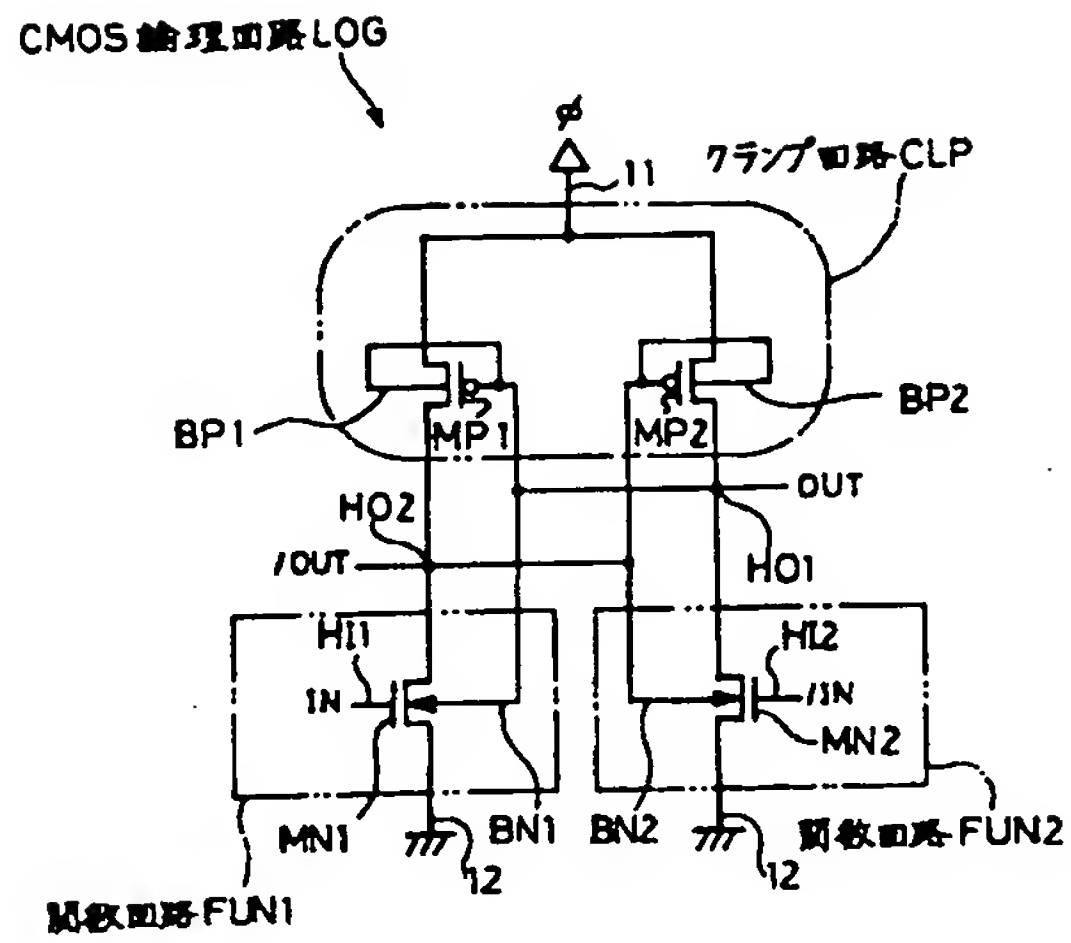
【図15】図10で示すCMOS論理回路の問題点を説明するための一部分の断面を模式的に示す図である。

【図16】他の従来技術のCMOS論理回路の電気回路図である。

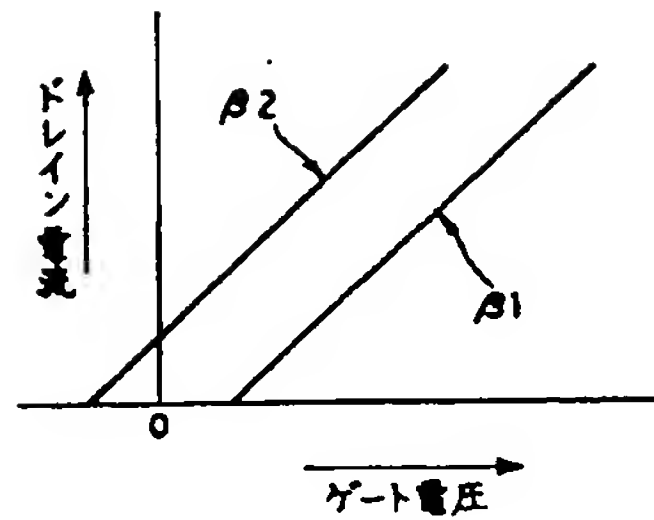
【符号の説明】

- | | |
|----------------------------------|------------|
| 11 | 電源ライン |
| 12 | 電源ライン |
| 20 21 | シリコン基板 |
| 22 | 絶縁層 |
| 23 | SOIボディ (p) |
| 24 | SOIボディ (n) |
| 31 | シリコン基板 |
| 32 | ディープnウェル |
| 33 | ディープpウェル |
| 34 | シャローpウェル |
| 35 | シャローnウェル |
| BP1, BP2; BN1, BN2 | 基板電極 |
| 30 CLP, CLPa | クランプ回路 |
| FUN1, FUN2; FUN1b, FUN2b | 関数回路 |
| HI1, HI2; HI11, HI12, HI21, HI22 | 入力ノード |
| HO1, HO2 | 出力ノード |
| LOG, LOGa, LOGb | CMOS論理回路 |
| MN1, MN2; MN11, MN12, MN21, MN22 | NMOSトランジスタ |
| 40 MP1, MP2; MP1a, MP2a | PMOSトランジスタ |
| φ | パルス電源 |

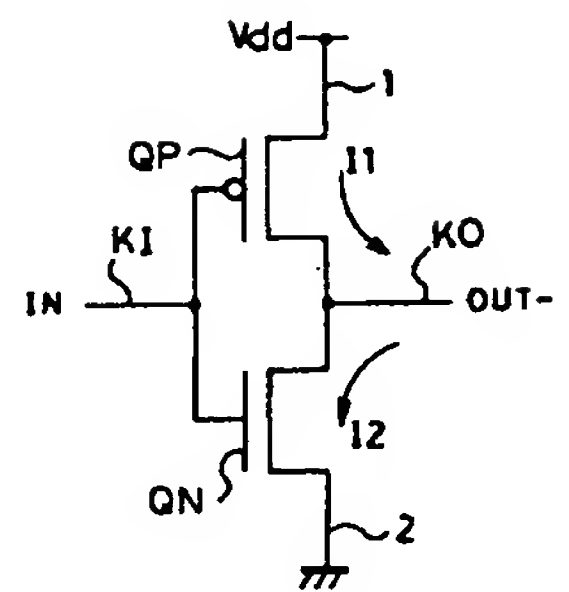
【図1】



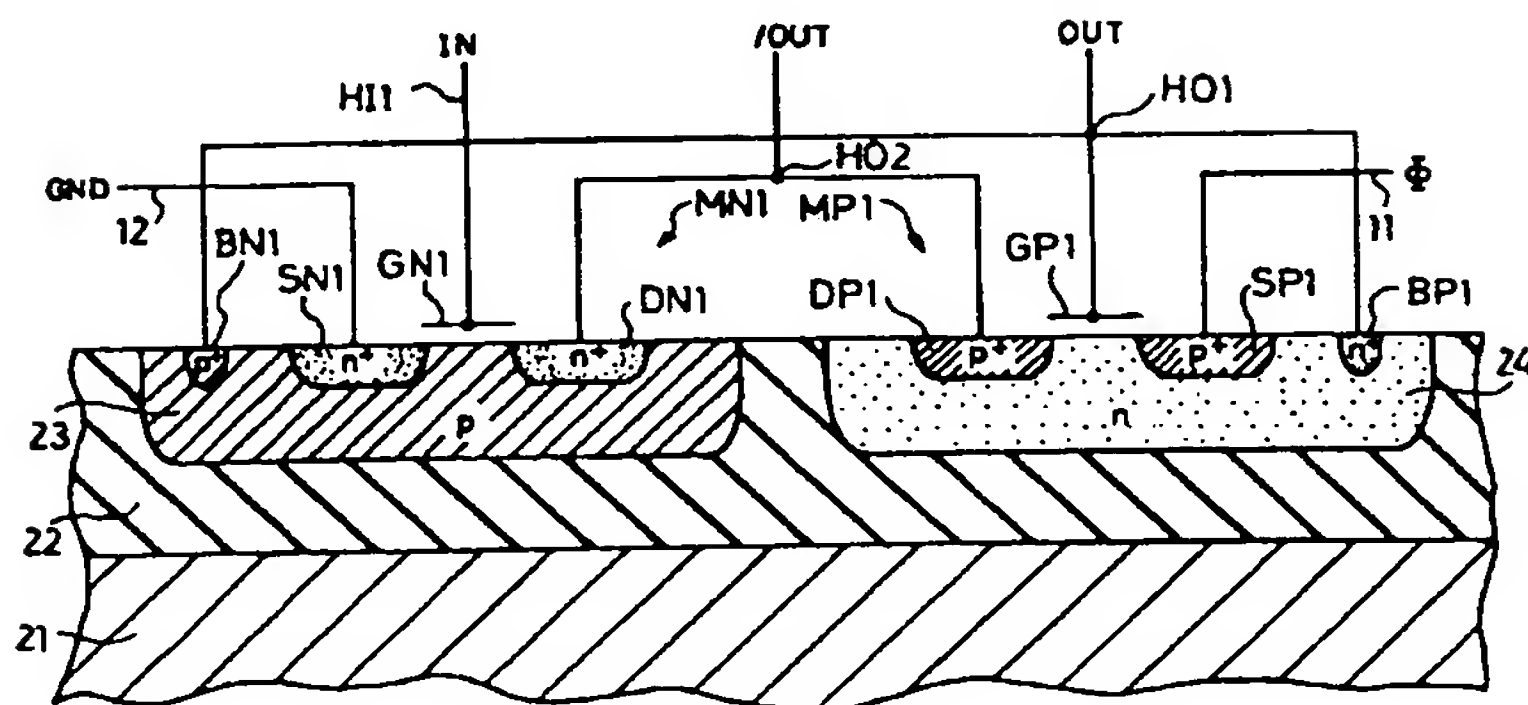
【図2】



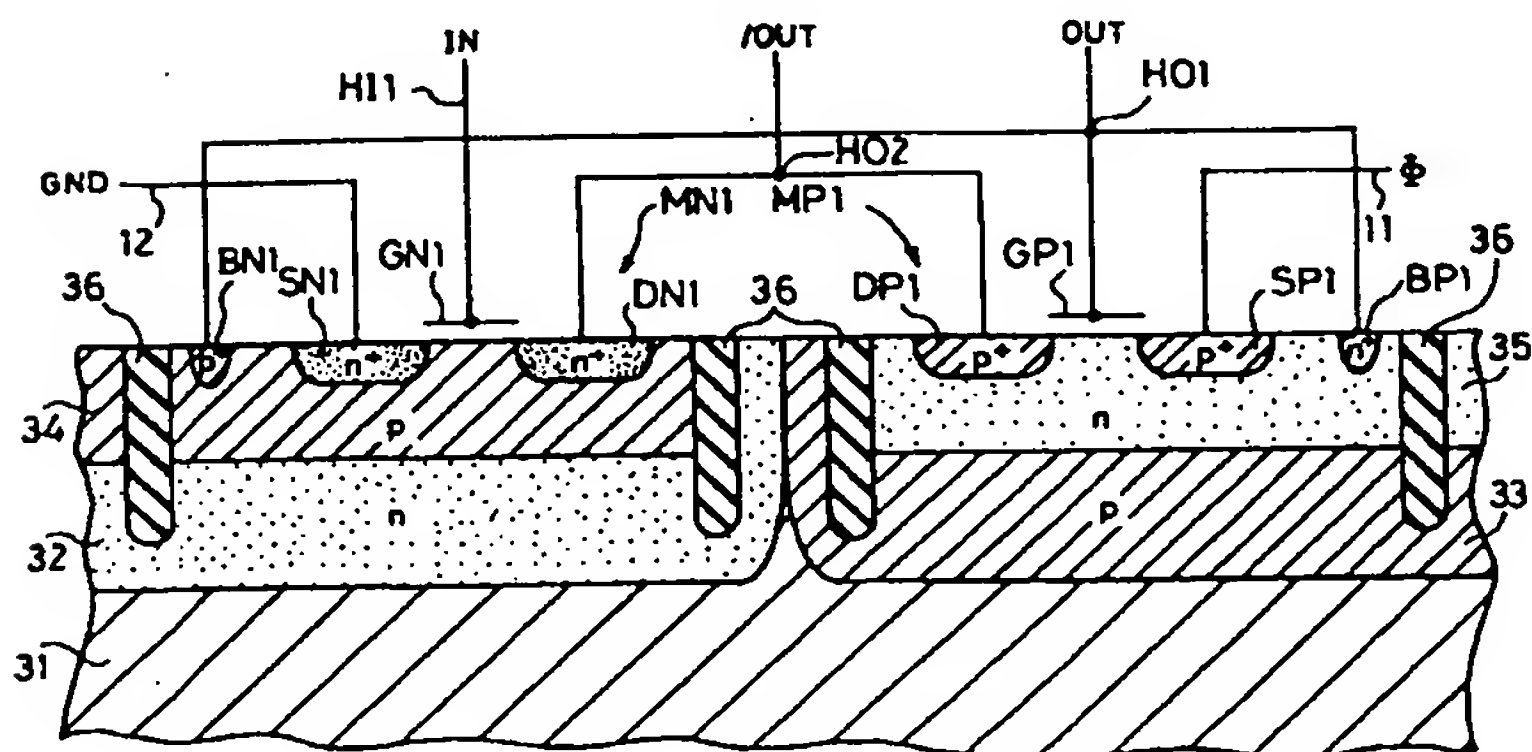
【図7】



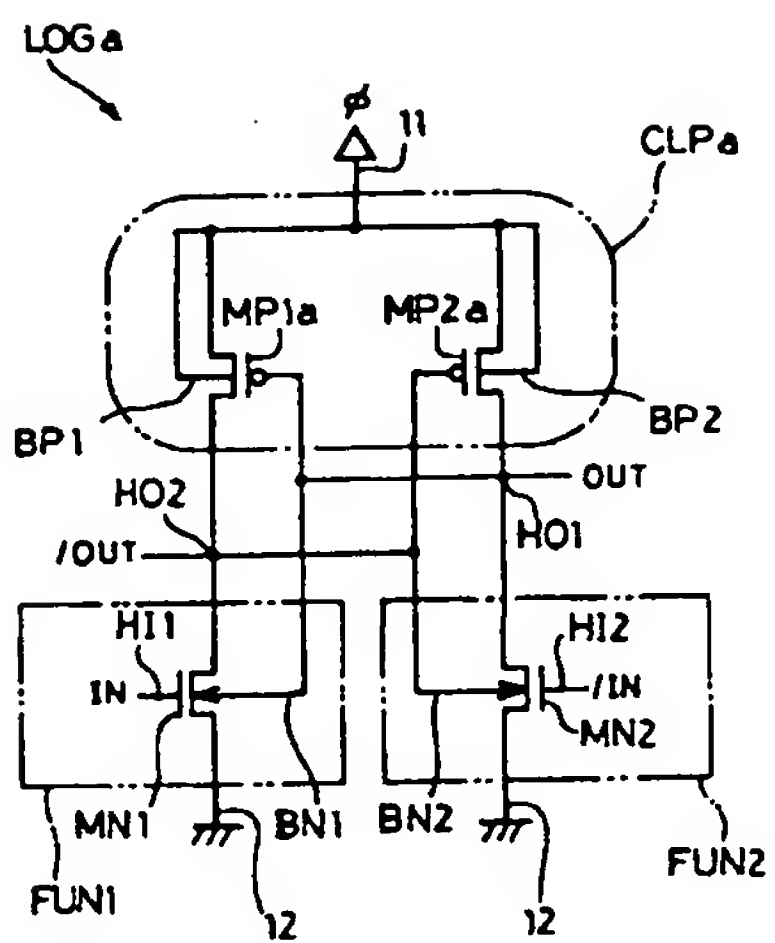
【図3】



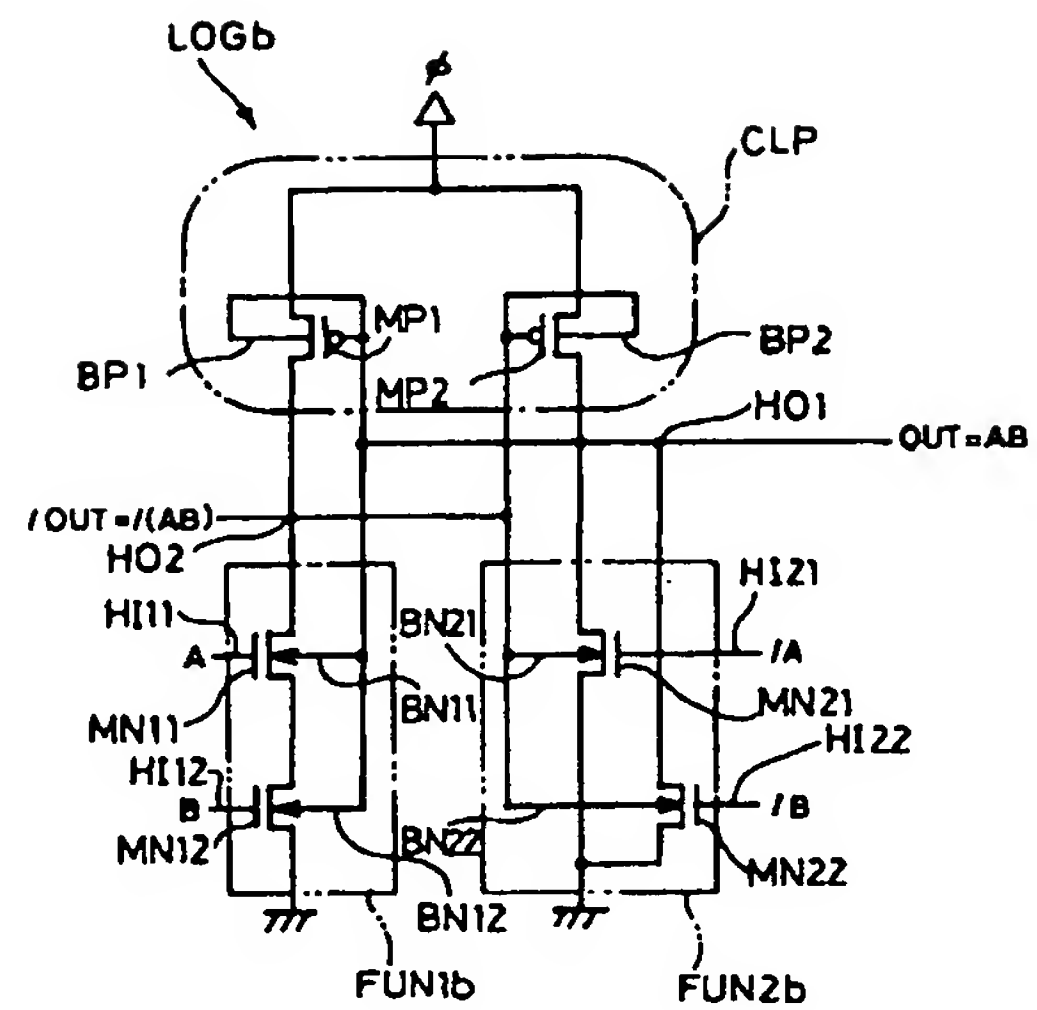
【図4】



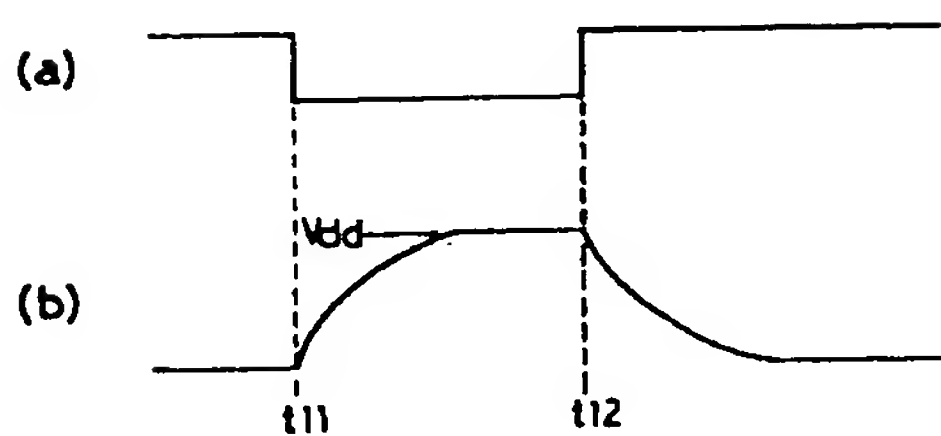
【図5】



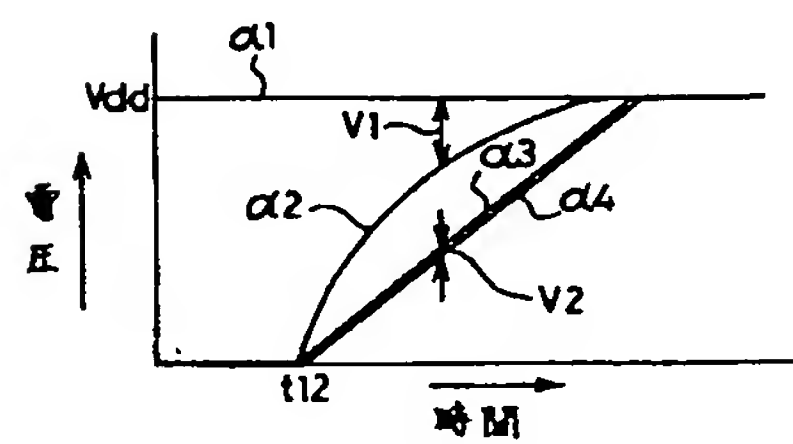
【図6】



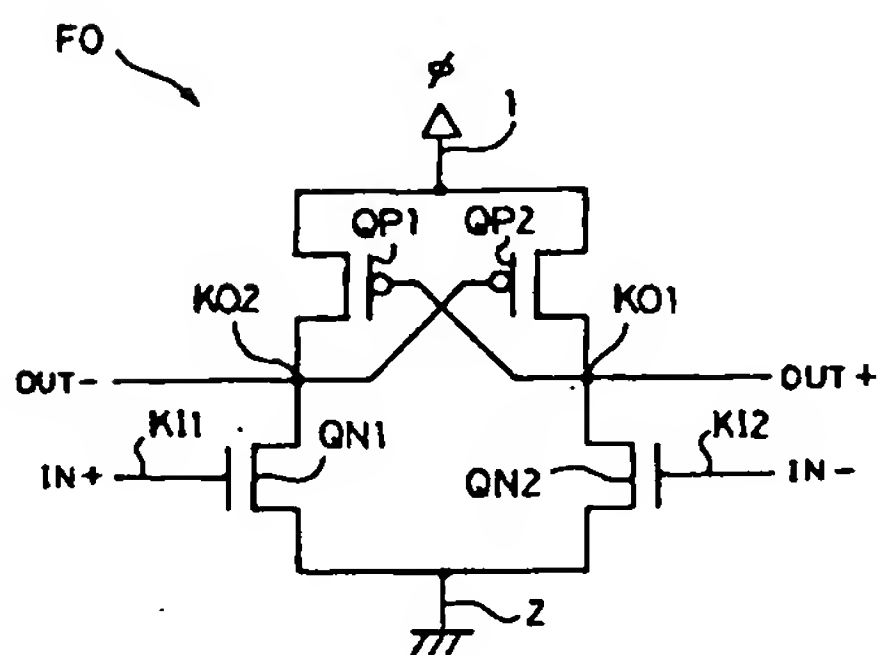
【図 8】



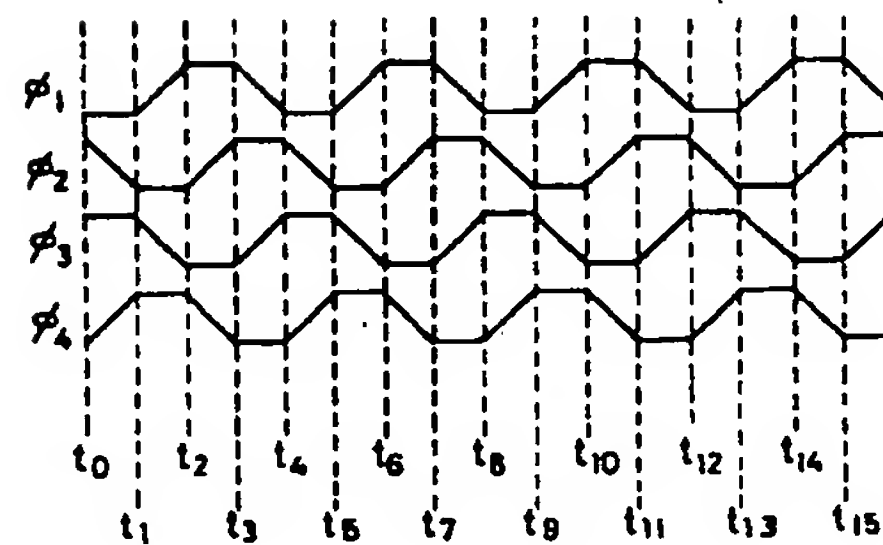
【図9】



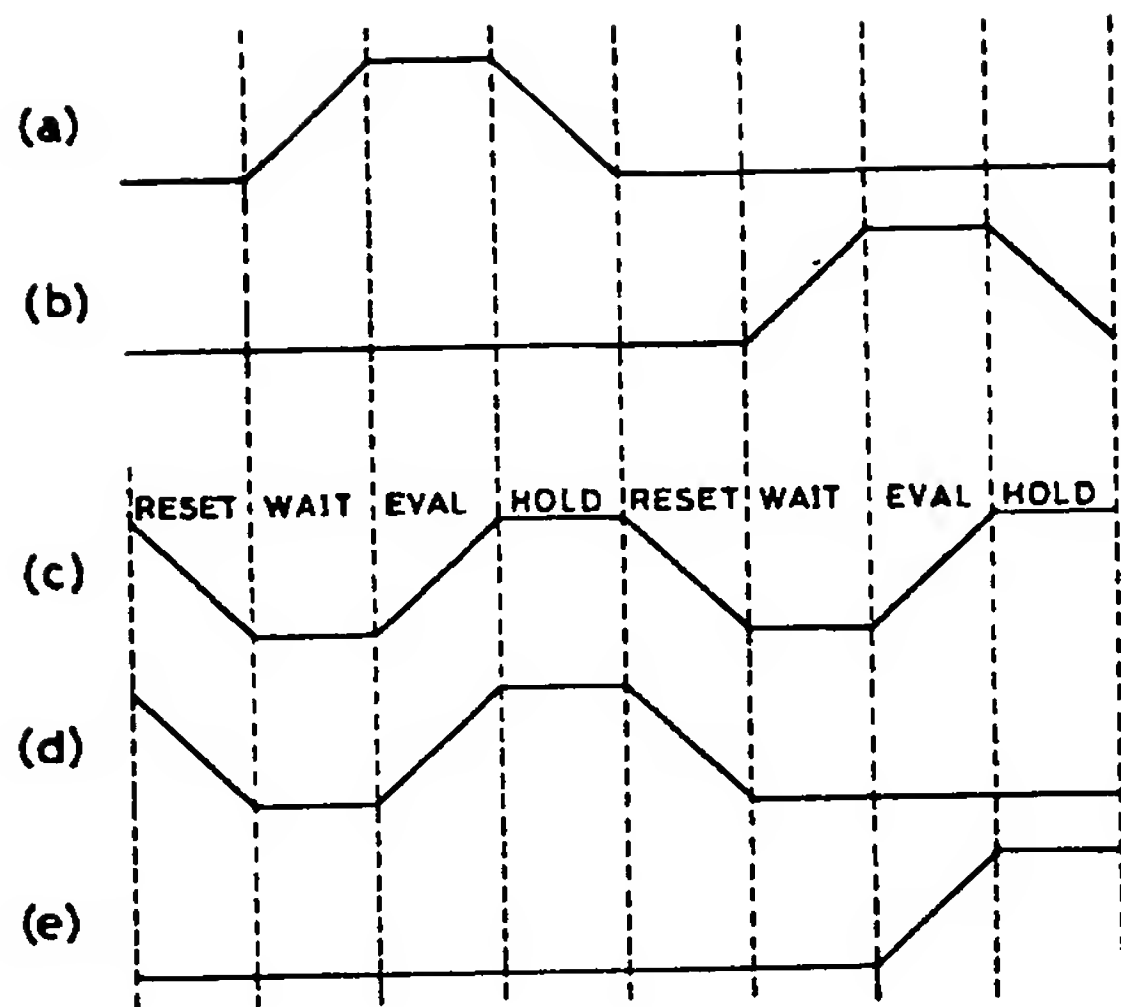
【図 10】



【图 13】



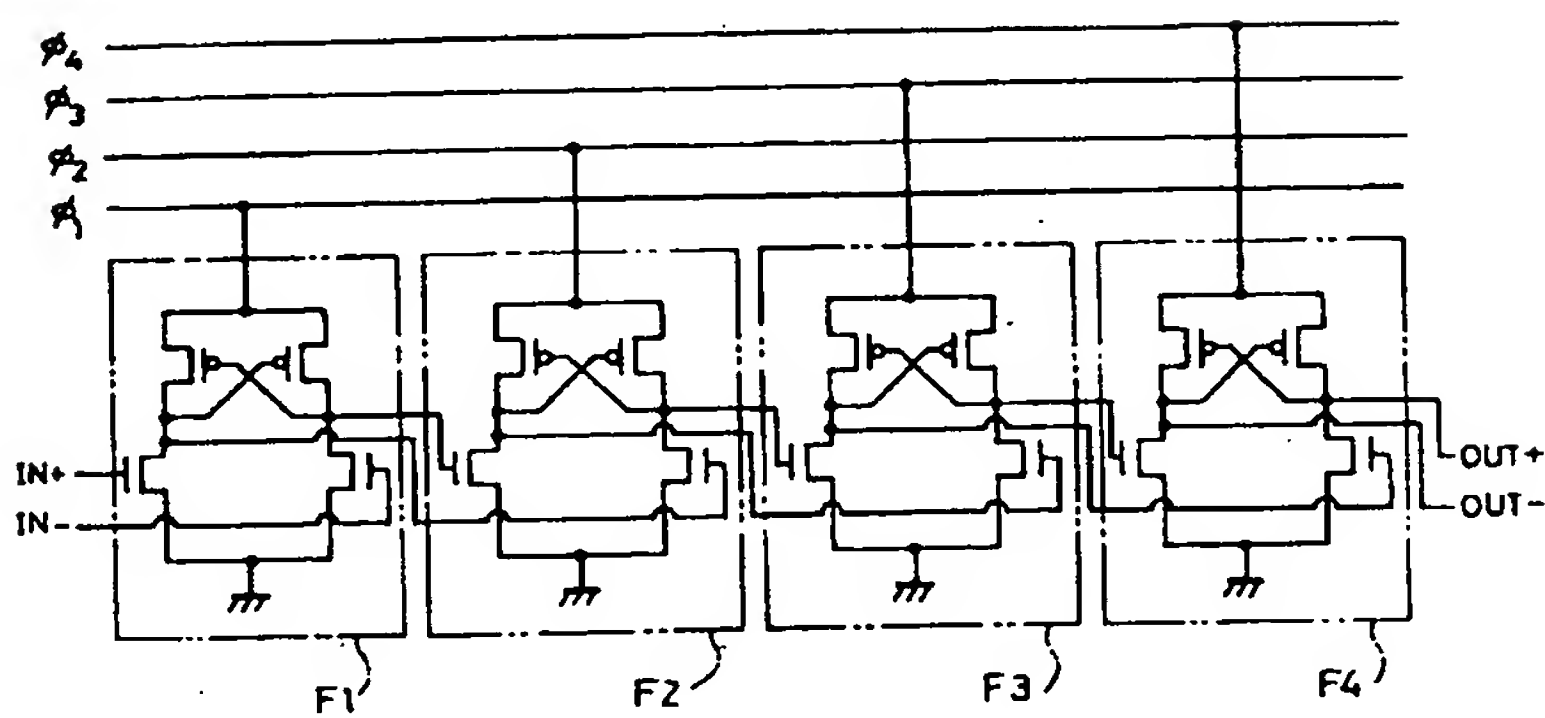
【図11】



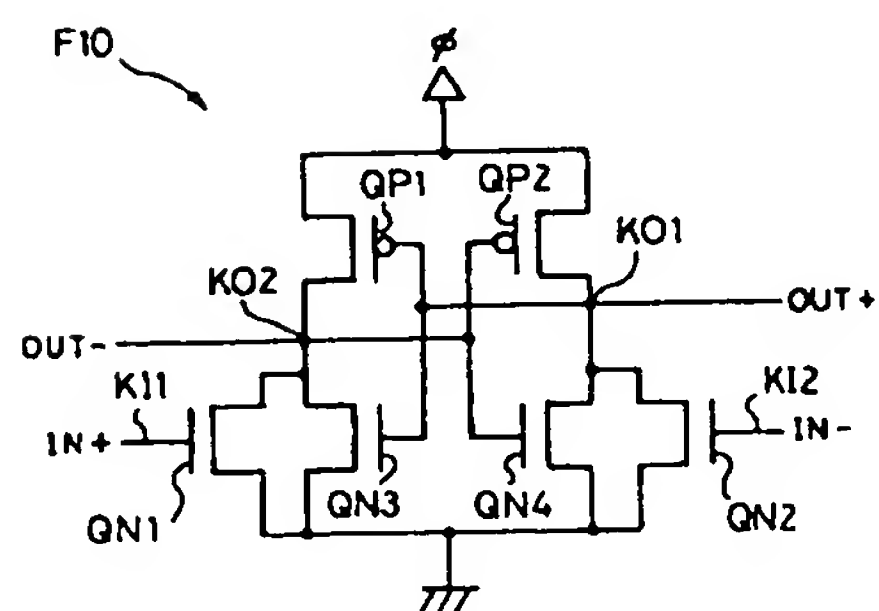
【図14】

	F1	F2	F3	F4
$t_0 \rightarrow t_1$	WAIT (#1)	RESET	•	•
$t_1 \rightarrow t_2$	EVALUATE (#1)	WAIT (#1)	RESET	•
$t_2 \rightarrow t_3$	HOLD (#1)	EVALUATE (#1)	WAIT (#1)	RESET
$t_3 \rightarrow t_4$	RESET (#1)	HOLD (#1)	EVALUATE (#1)	WAIT (#1)
$t_4 \rightarrow t_5$	WAIT (#2)	RESET (#1)	HOLD (#1)	EVALUATE (#1)
$t_5 \rightarrow t_6$	•	WAIT (#2)	RESET (#1)	HOLD (#1)
$t_6 \rightarrow t_7$	•	•	WAIT (#2)	RESET (#1)
$t_7 \rightarrow t_8$	•	•	•	WAIT (#2)

【図12】



【図16】



【図15】

